

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-022673

(43)Date of publication of application : 21.01.1997

(51)Int.Cl.

H01J 31/12

H01J 1/30

H01J 29/28

(21)Application number : 07-172423

(71)Applicant : CANON INC

(22)Date of filing : 07.07.1995

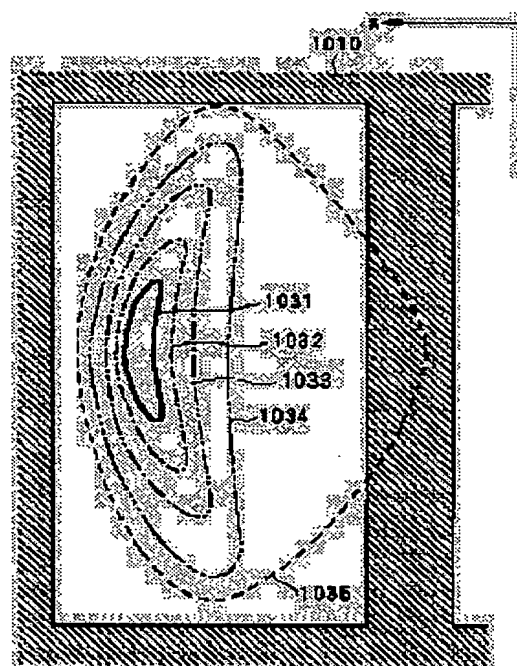
(72)Inventor : SANO YOSHIHISA  
MITSUTAKE HIDEAKI

## (54) IMAGE FORMING DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve the luminance of image, or to realize the fine division of image in an image forming device for forming image with collision of electron beams.

**SOLUTION:** Areas from 1031 to 1035 show the luminance of the light emission generated on a phosphor film, which is provided opposite to an electron source formed by arranging electron emitting elements, by the electron beam emitted from the electron emitting elements per each type, and show the area having luminance at 80-100% as the maximum luminance, 60-80%, 40-60%, 20-40%, 0-20% in order. A black color conductor 1010 separates each picture element arranged on the phosphor film. The area 1035, of which luminance is low and of which area is large, hinders the improvement of the luminance of the whole. The black color conductor is arranged so as to be overlapped with a part of the area 1035 so as to improve the luminance of each picture element per unit area and reduce the picture element size. Since the picture elements at a high luminance are thereby arranged at a high density, luminance of the whole is improved, and while the fine division can be realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-22673

(43) 公開日 平成9年(1997)1月21日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 31/12 1/30			H 0 1 J 31/12 1/30	C B Z
29/28			29/28	

審査請求 未請求 請求項の数15 O L (全 19 頁)

(21) 出願番号 特願平7-172423

(22) 出願日 平成7年(1995)7月7日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 左納 義久

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72) 発明者 光武 英明

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

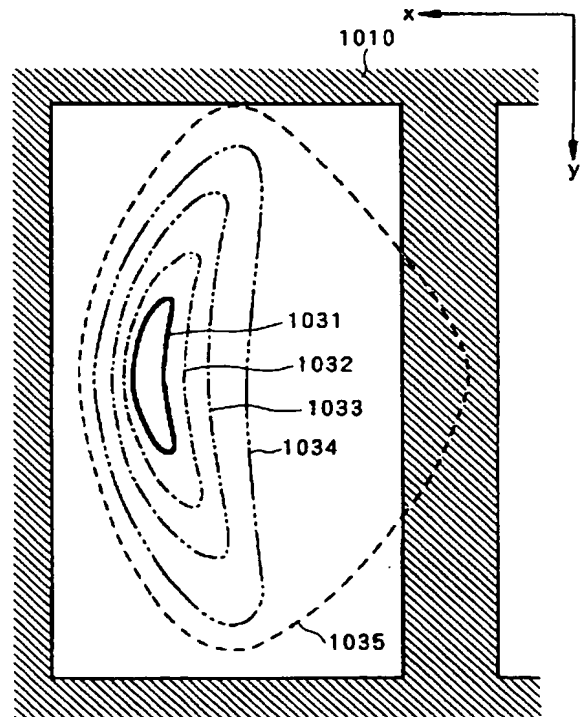
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 画像形成装置

(57) 【要約】

【課題】電子線の衝突により画像を形成する画像形成装置において、画像の輝度の向上或いは高精細化を実現することを目的とする。

【解決手段】1031乃至1035は、電子放出素子を配列してなる電子源に対向して設けられた蛍光膜上に、該電子放出素子から放出される電子線によって生じる発光の輝度を模式的に示しており、順に最大輝度の80～100%、60～80%、40～60%、20～40%、0～20%の輝度を有する領域を示している。1010は、蛍光膜上に配される各画素を分離する黑色導電体である。領域1035は、輝度が低く、その面積も大きいので全体の輝度を向上させる妨げとなる。そこで、この領域1035の一部に重なるように黑色導電体を配置して、各画素の単位面積当たりの輝度を高めつつ画素サイズを縮小する。これにより、高輝度の画素を密に配置できるため、全体の輝度を向上させると共に高精細化を実現することができる。



1

## 【特許請求の範囲】

【請求項 1】 電子線の衝突により画像を形成する画像形成装置であって、

電子を放出する電子放出素子を配列してなる電子源と、前記電子源に対向して配され、電子の衝突により発光する発光体を当該電子の照射密度が高い高密度領域に配置した蛍光膜と、  
を備えることを特徴とする画像形成装置。

【請求項 2】 前記電子放出素子は、対向する対の素子電極間に跨る電子放出部を含む導電性微粒子の薄膜で構成される表面導電型電子放出素子であることを特徴とする請求項 1 記載の画像形成装置。

【請求項 3】 前記電子放出素子は、横型電界放出素子であることを特徴とする請求項 1 記載の画像形成装置。

【請求項 4】 前記蛍光膜は、前記照射密度が低い領域に黑色導電体を有することを特徴する請求項 1 乃至請求項 3 のいずれか 1 項に記載の画像形成装置。

【請求項 5】 前記黑色導電体は、前記電子放出素子の負極から正極へ向く電圧印加方向に帯状に配置されることを特徴とする請求項 4 記載の画像形成装置。

【請求項 6】 前記黑色導電体は、前記電子放出素子の負極から正極へ向く電圧印加方向に直交する方向に帯状に配置されることを特徴とする請求項 4 記載の画像形成装置。

【請求項 7】 前記黑色導電体は、前記電子放出素子の負極から正極へ向く電圧印加方向およびその直交方向に格子状に配置されることを特徴とする請求項 4 記載の画像形成装置。

【請求項 8】 前記発光体の形状は、前記高密度領域の外形に近い形状であり、

前記蛍光膜は、前記発光体を分離する黑色導電体を有することを特徴とする請求項 1 記載の画像形成装置。

【請求項 9】 前記形状は、前記電子放出素子の負極から正極へ向く電圧印加方向に凸状に湾曲した形状であることを特徴とする請求項 8 記載の画像形成装置。

【請求項 10】 前記形状は、前記電子放出素子の負極から正極へ向く電圧印加方向に凸なる折れ線状の形状であることを特徴とする請求項 8 記載の画像形成装置。

【請求項 11】 前記高密度領域は、照射密度の最大点の 10% 乃至 30% 以上の照射密度を有する領域であることを特徴とする請求項 1 乃至請求項 10 のいずれか 1 項に記載の画像形成装置。

【請求項 12】 電子線の衝突により画像を形成する画像形成装置であって、  
電子の衝突により発光する蛍光膜と、  
前記蛍光膜に対向して配され、画像信号に応じて駆動されることにより電子を放出する電子放出素子を、当該電子の衝突によって前記蛍光膜上に生じる発光領域の長さよりも短い間隔をもって配列してなる電子源と、  
を備えることを特徴とする画像形成装置。

2

【請求項 13】 前記間隔は、1つの前記発光領域における輝度の低い領域と、それに隣接する前記発光における輝度の高い領域とが重なる間隔であることを特徴とする請求項 12 記載の画像形成装置。

【請求項 14】 前記間隔は、1つの前記発光領域における輝度の低い領域と、それに隣接する前記発光における輝度の高い領域とが重なる間隔であり、  
前記電子源は、前記電子放出素子の電圧印加方向に当該間隔をもって配列してなる電子源であることを特徴とする請求項 12 記載の画像形成装置。

【請求項 15】 前記間隔は、1つの前記発光領域における輝度の低い領域と、それに隣接する前記発光における輝度の高い領域とが重なる間隔であり、  
前記電子源は、前記電子放出素子の電圧印加方向と直交する方向に当該間隔をもって配列してなる電子源であることを特徴とする請求項 12 記載の画像形成装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は画像形成装置に係り、特に電子線の衝突により画像を形成する画像形成装置に関する。

【0002】

【従来の技術】従来から、電子放出素子として熱陰極素子と冷陰極素子の 2 種類が知られている。このうち冷陰極素子では、例えば電界放出型素子（以下 FE 型と記す）や、金属／絶縁層／金属型放出素子（以下 MIM 型と記す）や、表面伝導型放出素子などが知られている。

【0003】FE 型の例としては、例えば、「W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956)」や、あるいは、「C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976)」などが知られている（図 2 参照）。

【0004】また、MIM 型の例としては、例えば、「C. A. Mead, "Operation of tunnel-emission Devices, J. Appl. Phys., 32, 646 (1961)」などが知られている。

【0005】また、表面伝導型放出素子としては、例えば、「M. I. Elinson, Radio Eng. Electron Phys., 10, 1290, (1965)」や、後述する他の例が知られている（図 3 参照）。

【0006】表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面

伝導型放出素子としては、前記エリンソン (Ellinson) 等による  $\text{SnO}_2$  薄膜を用いたものの他に、 $\text{Au}$  薄膜によるものとして、「G. Dittmer: "Thin Solid Films", 9, 317 (1972)」や、 $\text{In}_2\text{O}_3/\text{SnO}_2$  薄膜によるものとして、「M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)」や、カーボン薄膜によるものとして、「荒木久 他: 真空、第26巻、第1号、22 (1983)」等が報告されている。

【0007】これらの表面伝導型放出素子の素子構成の典型的な例として、図1に前述のM. Hartwell 等による素子の平面図を示す。同図において、3001は基板であり、3004はスパッタで形成された金属酸化物よりなる導電性薄膜である。導電性薄膜3004は図示のようにH字形の平面形状に形成されている。該導電性薄膜3004に後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005が形成される。

【0008】図中の間隔Lは、0.5~1 [mm]、Wは、0.1 [mm] に設定されている。なお、図示の便宜から、電子放出部3005は導電性薄膜3004の中央に矩形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

【0009】M. Hartwell 等による素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜3004に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部3005を形成するのが一般的であった。即ち、通電フォーミングとは、前記導電性薄膜3004の両端に一定の直流電圧、若しくは、例えば1 [V/分] 程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜3004を局所的に破壊、変形若しくは変質せしめ、電氣的に高抵抗な状態の電子放出部3005を形成することをいう。

【0010】なお、局所的に破壊、変形若しくは変質した導電性薄膜3004の一部には、亀裂が発生する。前記通電フォーミングの後に導電性薄膜3004に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

【0011】上述の表面伝導型放出素子は、構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、例えば本出願人による「特開昭64-31332」において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

【0012】また、表面伝導型放出素子の応用については、例えば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源、等が研究されている。

【0013】特に、画像表示装置への応用としては、例えば本出願人による「USP5, 066, 883」や「特開平2-257551」において開示されているように、表面伝導型放出素子と電子ビームの照射により発光する蛍光体とを組み合わせる用いた画像表示装置が研究されている。表面伝導型放出素子と蛍光体とを組み合わせる用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。例えば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

【0014】

【発明が解決しようとする課題】発明者等は、上記の従来技術に記載したものをはじめとして、様々な材料、製法、構造の表面伝導型放出素子を試みてきた。更に、多数の表面伝導型放出素子を配列したマルチ電子ビーム源、並びにこのマルチ電子ビーム源を応用した画像表示装置について研究を行ってきた。

【0015】その中には、例えば図4に示す電氣的な配線方法によるマルチ電子ビーム源がある。これは、表面伝導型放出素子を2次元的に多数個配列し、これらの素子を図示のようにマトリクス状に配線したマルチ電子ビーム源である。

【0016】図中、4001は表面伝導型放出素子を模式的に示したもの、4002は行方向配線、4003は列方向配線である。行方向配線4002および列方向配線4003は、実際には有限の電気抵抗を有するものであるが、図においては配線抵抗4004および4005として示されている。上述のような配線方法を、単純マトリクス配線と呼ぶ。

【0017】なお、図示の便宜上、6x6のマトリクスで示しているが、マトリクスの規模はむしろこれに限ったわけではなく、例えば画像表示装置用のマルチ電子ビーム源の場合には、所望の画像表示を行うのに十分な素子を配列し配線すれば良い。表面伝導型放出素子を単純マトリクス配線したマルチ電子ビーム源においては、所望の電子ビームを出力させるため、行方向配線4002および列方向配線4003に適宜の電気信号を印加する。例えば、マトリクスの中の任意の1行の表面伝導型放出素子を駆動するには、選択する行の行方向配線4002には選択電圧 $V_s$ を印加し、同時に非選択の行の行方向配線4002には非選択電圧 $V_{ns}$ を印加する。これと同期して列方向配線4003に電子ビームを出力するための駆動電圧 $V_e$ を印加する。

【0018】この方法によれば、配線抵抗4004および4005による電圧降下を無視すれば、選択する行の表面伝導型放出素子には、 $V_e - V_s$ の電圧が印加され、また非選択行の表面伝導型放出素子には $V_e - V_{ns}$ の電圧が印加される。 $V_e$ 、 $V_s$ 、 $V_{ns}$ を適宜の大きさの電圧にすれば選択する行の表面伝導型放出素子だ

5

けから所望の強度の電子ビームが出力されるはずであり、また列方向配線の各々に異なる駆動電圧  $V_e$  を印加すれば、選択する行の素子の各々から異なる強度の電子ビームが出力される筈である。また、表面伝導型放出素子の応答速度は高速であるため、駆動電圧  $V_e$  を印加する時間の長さを変えれば、電子ビームが出力される時間の長さも変えることができる筈である。

【0019】したがって、表面伝導型放出素子を単純マトリクス配線したマルチ電子ビーム源は広範な応用の可能性があり、例えば画像情報に応じた電気信号を適宜印加すれば、画像表示装置用の電子源として好適に用いることができる。

【0020】しかしながら、表面伝導型放出素子を単純マトリクス配線したマルチ電子ビーム源には、実際には以下に述べるような問題が発生していた。

【0021】表面伝導型放出素子を用いた画像形成装置では蛍光体表面における発光形状の大きさが素子電圧、アノード電圧、およびグリッド若しくは遮蔽板電圧によって決定される。ところが、これらの条件を制御することによって蛍光体表面における発行形状を制御することは可能なものの、発行体表面における輝度（電子の照射密度）が一様になるように制御することは困難である。

【0022】図5は、素子電圧印加方向の発光長  $L_2$  と、素子電圧印加方向に対して垂直方向の発光長  $L_1$  を夫々一辺とする長方形の蛍光体の画素を示している。100は発光領域、101は発光領域のうち輝度の高い部分（最大輝度を示す部分の15%以上の輝度を有する部分）である。

【0023】図示のように、領域a乃至dにおいては、電子が照射されないため（或いは、極めて微量の電子しか照射されないため）、また、領域eにおいては、輝度が最大輝度の15%未満であるため、画素全体の輝度を向上を妨げる原因となっている。

【0024】また、輝度が高い部分100が画素全体に占める割合が低いため、輝度が低い部分（領域a乃至e）が広範囲に及び、かかる発光領域の全てを含む画素（蛍光体）を配置した場合、高精細の表示装置を実現することが困難であった。

【0025】本発明は、上記問題点を鑑みてなされたものであり、電子線の衝突により画像を形成する画像形成装置において、画像の輝度の向上或いは高精細化を実現することを目的とする。

【0026】

【課題を解決するための手段】上記問題点を解決するため、本発明に係る画像形成装置は、電子線の衝突により画像を形成する画像形成装置であって、電子を放出する電子放出素子を配列してなる電子源と、前記電子源に対向して配され、電子の衝突により発光する発光体を当該電子の照射密度が高い高密度領域に配置した蛍光膜とを備えることを特徴とし、電子の照射密度が低い領域、即

6

ち輝度が低い領域を使用せず、輝度が高い領域をもって画素を構成することにより、画素サイズを縮小しつつ単位面積当りの輝度を高めることができ、結果として輝度の向上、高精細化を実現することができる。

【0027】本発明の好適な実施態様に従えば、例えば、前記蛍光膜は、前記照射密度が低い領域に黑色導電体を有することにより、効率良く黑色導電体を配置することができる。

【0028】また、前記黑色導電体を前記電子放出素子の負極から正極へ向く電圧印加方向に帯状に配置することにより、ストライプ状の蛍光体においても効率良く黑色導電体を配置することができる。

【0029】また、前記黑色導電体を前記電子放出素子の負極から正極へ向く電圧印加方向に直交する方向に帯状に配置することにより、ストライプ状の蛍光体においても効率良く黑色導電体を配置することができる。

【0030】また、前記黑色導電体を前記電子放出素子の負極から正極へ向く電圧印加方向およびその直交方向に格子状に配置することにより、マトリクス状の蛍光体においても効率良く黑色導電体を配置することができる。

【0031】また、前記発光体の形状を前記高密度領域の外形に近い形状とし、前記蛍光膜は、前記発光体を分離する黑色導電体を有することにより、小面積であり、輝度の向上に有効な画素を高密度に配置でき、更なる輝度の向上、高精細化を実現することができる。

【0032】また、前記形状を、前記電子放出素子の負極から正極へ向く電圧印加方向に凸状に湾曲した形状とすることにより、発光の形状を効率的に模することができる。

【0033】また、前記形状を、前記電子放出素子の負極から正極へ向く電圧印加方向に凸なる折れ線状の形状とすることにより、発光の形状を効率的に模することができる。

【0034】また、前記高密度領域を、照射密度の最大点の10%乃至30%以上の照射密度を有する領域とすることが、輝度の向上、高精細化にとって好適である。

【0035】また、本発明に係る他の画像形成装置は、電子線の衝突により画像を形成する画像形成装置であって、電子の衝突により発光する蛍光膜と、前記蛍光膜に対向して配され、画像信号に応じて駆動されることにより電子を放出する電子放出素子を、当該電子の衝突によって前記蛍光膜上に生じる発光領域の長さよりも短い間隔をもって配列してなる電子源とを備えることを特徴とし、蛍光膜上において輝度の低い領域を削減し、また、画素を高密度に配置することができ、結果として、輝度の向上、高精細化を実現することができる。

【0036】本発明の好適な実施態様に従えば、例えば、前記間隔を、1つの前記発光領域における輝度の低い領域と、それに隣接する前記発光における輝度の高い

7

領域とが重なる間隔とすることにより、輝度を向上させつつ高精細化を実現することができる。

【0037】また、前記間隔を、1つの前記発光領域における輝度の低い領域と、それに隣接する前記発光における輝度の高い領域とが重なる間隔とし、前記電子源を、前記電子放出素子の電圧印加方向に当該間隔をもって配列してなる電子源とすることにより、輝度の低い領域と輝度の高い領域を効率的に重ねることができ、ストライプ状の蛍光体においても、輝度の向上、高精細化を実現することができる。

【0038】また、前記間隔を、1つの前記発光領域における輝度の低い領域と、それに隣接する前記発光における輝度の高い領域とが重なる間隔とし、前記電子源を、前記電子放出素子の電圧印加方向と直交する方向に当該間隔をもって配列してなる電子源とすることにより、ストライプ状の蛍光体においても、輝度の向上、高精細化を実現することができる。

【0039】また、本発明は、表面導電型電子放出素子や横型電界放出素子を利用した電子源において効果的である。

【0040】

【発明の実施の形態】

〔第1の実施形態〕先ず、本発明を適用した画像表示装置の表示パネルの構成と製造法について、具体的な例を示して説明する。

【0041】図20は、本実施形態に係る画像形成装置（表示パネル）の斜視図であり、内部構造を示すためにパネルの1部を切り欠いて示している。

【0042】図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005～1007により表示パネルの内部を真空に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要がある。この封着は、例えばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、摂氏400～500度で10分以上焼成することにより達成することができる。気密容器内部を真空に排気する方法については後述する。

【0043】リアプレート1005には、基板1001が固定されており、その基板1001上には表面伝導型放出素子1002が $N \times M$ 個形成されている。（ $N$ 、 $M$ は2以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、 $N=3000$ 、 $M=1000$ 以上の数を設定することが望ましい（本実施形態においては、 $N=3072$ 、 $M=1024$ とした）。

【0044】上記の $N \times M$ 個の表面伝導型放出素子は、 $M$ 本の行方向配線1003と $N$ 本の列方向配線1004により単純マトリクス配線されている。以下、1001

8

～1004によって構成される部分をマルチ電子ビーム源と呼ぶ。なお、マルチ電子ビーム源の製造方法や構造の詳細については後述する。

【0045】本実施形態においては、気密容器のリアプレート1005にマルチ電子ビーム源の基板1001を固定する構成としたが、マルチ電子ビーム源の基板1001が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子ビーム源の基板1001自体を用いてもよい。

10 【0046】また、フェースプレート1007の下面には、蛍光膜1008が形成されている。本実施形態はカラー表示装置であるため、蛍光膜1008の部分にはCRTの分野で用いられる赤、緑、青、の3原色の蛍光体が塗り分けられている。

【0047】また、蛍光膜1008のリアプレート側の面には、CRTの分野では公知のメタルバック1009を設けてある。メタルバック1009を設けた目的は、蛍光膜1008が発する光の一部を鏡面反射して光利用率を向上させることや、負イオンの衝突から蛍光膜1008を保護することや、電子ビーム加速電圧を印加するための電極として作用させること事や、蛍光膜1008を励起した電子の導電路として作用させることなどである。

20 【0048】メタルバック1009は、蛍光膜1008をフェースプレート基板1007上に形成した後、蛍光膜表面を平滑化处理し、その上にAlを真空蒸着する方法により形成した。なお、蛍光膜1008に低電圧用の蛍光体材料を用いた場合には、メタルバック1009は用いない。

30 【0049】また、本実施形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板1007と蛍光膜1008との間に、例えばITOを材料とする透明電極を設けてもよい。

【0050】また、 $Dx1 \sim Dx_m$ および $Dy1 \sim Dy_n$ および $Hv$ は、当該表示パネルと不図示の電気回路とを電氣的に接続するために設けた気密構造の電気接続用端子である。 $Dx1 \sim Dx_m$ はマルチ電子ビーム源の行方向配線1003と、 $Dy1 \sim Dy_n$ はマルチ電子ビーム源の列方向配線1004と、 $Hv$ はフェースプレートのメタルバック1009と電氣的に接続している。

40 【0051】また、気密容器内部を真空に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を10のマイナス7乗〔 $Torr$ 〕程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。ゲッター膜とは、例えばBaを主成分とするゲッター材料をヒーター若しくは高周波加熱により加熱し蒸着して形成した膜であり、該

ゲッター膜の吸着作用により気密容器内は  $1 \times 10$  マイナス 5 乗ないしは  $1 \times 10$  マイナス 7 乗 [Torr] の真空度に維持される。

【0052】次に、上記の表示パネルに用いたマルチ電子ビーム源の製造方法について説明する。本実施形態に係る画像表示装置に用いるマルチ電子ビーム源は、表面伝導型放出素子を単純マトリクス配線した電子源であれば、表面伝導型放出素子の材料や形状あるいは製法に制限はない。しかしながら、発明者等は、表面伝導型放出素子の中では、電子放出部若しくはその周辺部を微粒子膜によって形成したものが電子放出特性に優れ、しかも製造が容易に行えることを見いだしている。即ち、高輝度で大画面の画像表示装置のマルチ電子ビーム源に用いるには、微粒子膜によって形成した素子が好適であると言える。

【0053】そこで、上記実施形態の表示パネルにおいては、電子放出部若しくはその周辺部を微粒子膜によって形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について基本的な構成と製法および特性を説明し、その後多数の素子を単純マトリクス配線したマルチ電子ビーム源の構造について説明する。

【0054】電子放出部若しくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成としては、平面型と垂直型の 2 種類が挙げられる。

【0055】まず最初に、平面型の表面伝導型放出素子の素子構成と製法について説明する。図 21 は、平面型の表面伝導型放出素子の構成を説明するための平面図

(a) および断面図 (b) である。図中、1101 は基板、1102 および 1103 は素子電極、1104 は導電性薄膜、1105 は通電フォーミング処理により形成した電子放出部、1113 は通電活性化処理により形成した薄膜である。

【0056】基板 1101 としては、例えば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上に例えば  $\text{SiO}_2$  を材料とする絶縁層を積層した基板、などを用いることができる。

【0057】また、基板 1101 上に基板面と平行に対向して設けられた素子電極 1102 および 1103 は、導電性を有する材料によって形成されている。例えば、Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Ag 等をはじめとする金属、あるいはこれらの金属の合金、あるいは  $\text{In}_2\text{O}_3 - \text{SnO}_2$  をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。

【0058】電極を形成するには、例えば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターンニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法（例えば印刷技術）を用いて形

成しても差し支えない。

【0059】素子電極 1102 および 1103 の形状は、当該電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔  $l$  は通常は数百オングストロームから数百マイクロメートルの範囲から適当な数値を選んで設計されるが、なかでも表示装置に応用するために好ましいのは数マイクロメートルより数十マイクロメートルの範囲である。また、素子電極の厚さ  $d$  については、通常は数百オングストロームから数百マイクロメートルの範囲から適当な数値が選ばれる。

【0060】また、導電性薄膜 1104 の部分には、微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことを指す。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。

【0061】微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、その中でも好ましいのは 10 オングストロームから 200 オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。すなわち、素子電極 1102 あるいは 1103 と電気的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。

【0062】具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは 10 オングストロームから 500 オングストロームの間である。

【0063】また、微粒子膜を形成するのに用いられる材料としては、例えば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb, などをはじめとする金属や、 $\text{PdO}$ ,  $\text{SnO}_2$ ,  $\text{In}_2\text{O}_3$ ,  $\text{PbO}$ ,  $\text{Sb}_2\text{O}_3$ , などをはじめとする酸化物や、 $\text{HfB}_2$ ,  $\text{ZrB}_2$ ,  $\text{LaB}_6$ ,  $\text{CeB}_6$ ,  $\text{YB}_4$ ,  $\text{GdB}_4$ , などをはじめとする硼化物や、 $\text{TiC}$ ,  $\text{ZrC}$ ,  $\text{HfC}$ ,  $\text{TaC}$ ,  $\text{SiC}$ ,  $\text{WC}$ , などをはじめとする炭化物や、 $\text{TiN}$ ,  $\text{ZrN}$ ,  $\text{HfN}$ , などをはじめとする窒化物や、Si, Ge, などをはじめとする半導体や、カーボン、などが挙げられ、これらの中から適宜選択される。

【0064】以上述べたように、導電性薄膜 1104 を微粒子膜で形成したが、そのシート抵抗値については、10 の 3 乗から 10 の 7 乗 [オーム/□] の範囲に含まれるよう設定した。

【0065】なお、導電性薄膜 1104 と、素子電極 1102 および 1103 とは、電気的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造



をとっている。その重なり方は、図21の例においては、下から、基板、素子電極、導電性薄膜の順序で積層しているが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層しても差し支えない。

【0066】また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電気的には周囲の導電性薄膜よりも高抵抗な性質を有している。亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図21においては模式的に示した。

【0067】また、薄膜1113は、炭素若しくは炭素化合物よりなる薄膜で、電子放出部1105およびその近傍を被覆している。薄膜1113は、通電フォーミング処理の後に、後述する通電活性化の処理を行うことにより形成する。

【0068】薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボンのいずれか、若しくはその混合物であり、膜厚は500 [オングストローム] 以下とすることが好ましく、また、300 [オングストローム] 以下とすることが更に好ましい。

【0069】なお、実際の薄膜1113の位置や形状を精密に図示するのは困難であるため、図21 (b) においては模式的に示した。また、平面図21 (a) においては、薄膜1113の一部を除去した素子を図示した。

【0070】以上、好ましい実施形態の素子の基本構成を述べたが、本実施形態においては以下のような素子を用いた。即ち、基板1101には青板ガラスを用い、素子電極1102および1103にはNi薄膜を用いた。素子電極の厚さdは1000 [オングストローム]、電極間隔Lは2 [マイクロメートル] とした。

【0071】微粒子膜の主要材料としてPd若しくはPdOを用い、微粒子膜の厚さは約100 [オングストローム]、幅Wは100 [マイクロメータ] とした。

【0072】次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。図22の(a)～(d)は、表面伝導型放出素子の製造工程を説明するための断面図である。図21と同一の部材については、同一の符号を付している。

【0073】1) 先ず、図22 (a) に示すように、基板1101上に素子電極1102および1103を形成する。これらを形成するにあたっては、予め基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄した後、素子電極の材料を堆積させる (堆積する方法としては、例えば、蒸着法やスパッタ法などの真空成膜技術を用ればよい)。その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターンニングし、

(a) に示した一対の素子電極1102および110

3) を形成する。

【0074】2) 次に、同図 (b) に示すように、導電性薄膜1104を形成する。これを形成するにあたっては、まず (a) に示す基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィ・エッチングにより所定の形状にパターンニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である。

【0075】具体的には、本実施形態では主要元素としてPdを用いた。また、本実施形態では塗布方法として、ディッピング法を用いたが、それ以外の例えばスピナー法やスプレー法を用いてもよい。

【0076】また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施形態で用いた有機金属溶液の塗布による方法以外の、例えば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

【0077】3) 次に、同図 (c) に示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。

【0078】通電フォーミング処理とは、微粒子膜で作られた導電性薄膜1104に通電を行って、その一部を適宜に破壊、変形、若しくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分 (即ち、電子放出部1105) においては、薄膜に適当な亀裂が形成されている。なお、電子放出部1105が形成される前と比較すると、形成された後は素子電極1102と1103との間で計測される電気抵抗は大幅に増加する。

【0079】通電方法をより詳しく説明するために、図23に、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施形態の場合には同図に示したようにパルス幅T1の三角波パルスをパルス間隔T2で連続的に印加した。その際には、三角波パルスの波高値V<sub>pf</sub>を、順次昇圧した。また、電子放出部1105の形成状況をモニターするためのモニターパルスP<sub>m</sub>を適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計1111で計測した。

【0080】本実施形態においては、例えば10のマイナス5乗 [torr] 程度の真空雰囲気下において、例えばパルス幅T1を1 [ミリ秒]、パルス間隔T2を10 [ミリ秒] とし、波高値V<sub>pf</sub>を1パルスごとに0.1 [V] ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割合いで、モニターパルスP<sub>m</sub>を挿入した。なお、フォーミング処理に悪影響を及ぼすことがないように、モニターパルスの電圧V<sub>pm</sub>は0.1

【V】に設定した。そして、素子電極1102と1103の間の電気抵抗が $1 \times 10^6$ 乗[オーム]になった段階、即ちモニターパルス印加時に電流計1111で計測される電流が $1 \times 10^{-7}$ 乗[A]以下になった段階で、フォーミング処理に関する通電を終了した。

【0081】なお、上記の方法は、本実施形態に係る表面伝導型放出素子においての好ましい方法であり、例えば微粒子膜の材料や膜厚、或いは素子電極間隔など表面伝導型放出素子の設計を変更した場合には、それに

応じて通電の条件を適宜変更するのが望ましい。  
【0082】4) 次に、図22の(d)に示すように、活性化用電源1112から素子電極1102と1103との間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。

【0083】通電活性化処理とは、前述の通電フォーミング処理により形成された電子放出部1105に適宜の条件で通電を行って、その近傍に炭素若しくは炭素化合物を堆積せしめる処理のことである(図においては、炭素若しくは炭素化合物よりなる堆積物を部材1113として模式的に示している)。なお、通電活性化処理を行うことにより、処理前と比較して、同一の印加電圧における放出電流を典型的には100倍以上に増加させることができる。

【0084】具体的には、10のマイナス4乗乃至10のマイナス5乗[torr]の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素若しくは炭素化合物を堆積させる。堆積物1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれか、若しくはその混合物であり、膜厚は500[オングストローム]以下であることが好ましくは、300[オングストローム]以下であることが一層好ましい。

【0085】通電方法をより詳細に説明するために、図24の(a)に活性化用電源1112から印加する適宜の電圧波形の一例を示す。本実施形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧V<sub>ac</sub>は14[V]、パルス幅T<sub>3</sub>は1[ミリ秒]、パルス間隔T<sub>4</sub>は10[ミリ秒]とした。なお、上述の通電条件は、本実施形態に係る表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに

応じて条件を適宜変更するのが望ましい。  
【0086】図22の(d)に示す1114は、該表面伝導型放出素子から放出される放出電流I<sub>e</sub>を捕捉するためのアノード電極で、直流高電圧電源1115および電流計1116が接続されている。なお、基板1101を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極1114

として用いる。

【0087】活性化用電源1112から電圧を印加する間、電流計1116で放出電流I<sub>e</sub>を計測して通電活性化処理の進行状況をモニターし、活性化用電源1112の動作を制御する。電流計1116で計測された放出電流I<sub>e</sub>の一例を図24の(b)に示す。活性化電源1112からパルス電圧を印加しはじめると、時間の経過とともに放出電流I<sub>e</sub>は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流I<sub>e</sub>がほぼ飽和した時点で活性化用電源1112からの電圧印加を停止し、通電活性化処理を終了する。

【0088】なお、上述の通電条件は、本実施形態に係る表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに

応じて条件を適宜変更するのが望ましい。  
【0089】次に、電子放出部若しくはその周辺を微粒子膜から形成した表面伝導型放出素子の他の代表的な構成、即ち垂直型の表面伝導型放出素子の構成について説明する。

【0090】図25は、垂直型の基本構成を説明するための模式的な断面図である。図中、1201は基板、1202および1203は素子電極、1206は段差形成部材、1204は微粒子膜を用いた導電性薄膜、1205は通電フォーミング処理によって形成した電子放出部、1213は通電活性化処理により形成した薄膜である。

【0091】垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方(1202)が段差形成部材1206上に設けられており、導電性薄膜1204が段差形成部材1206の側面を被覆している点にある。したがって、図21の平面型における素子電極間隔Lは、垂直型においては段差形成部材1206の段差高L<sub>s</sub>として設定される。なお、基板1201、素子電極1202および1203、微粒子膜を用いた導電性薄膜1204については、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材1206には、例えばSiO<sub>2</sub>のような電氣的に絶縁性の材料を用いる。

【0092】次に、垂直型の表面伝導型放出素子の製法について説明する。図26の(a)～(f)は、垂直型の表面伝導型放出素子の製造工程を説明するための断面図であり、各部材の表記は図26と同一である。

【0093】1) まず、図26の(a)に示すように、基板1201上に素子電極1203を形成する。

【0094】2) 次に、(b)に示すように、段差形成部材を形成するための絶縁層を積層する。この絶縁層は、例えばSiO<sub>2</sub>をスパッタ法で積層すればよいが、例えば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0095】3) 次に、(c)に示すように、絶縁層の

上に素子電極1202を形成する。

【0096】4)次に、(d)に示すように、絶縁層の一部を、例えばエッチング法を用いて除去し、素子電極1203を露出させる。

【0097】5)次に、(e)に示すように、微粒子膜を用いた導電性薄膜1204を形成する。形成するには、前述の平面型の場合と同様に、例えば塗布法などの成膜技術を用いればよい。

【0098】6)次に、前述の平面型の場合と同様に通電フォーミング処理を行い、電子放出部を形成する(図22の(c)を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい)。

【0099】7)次に、前述の平面型の場合と同様に通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる(図22の(d)を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい)。

【0100】以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【0101】図27は、表示装置に用いた素子の、(放出電流 $I_e$ )対(素子印加電圧 $V_f$ )特性、および(素子電流 $I_f$ )対(素子印加電圧 $V_f$ )特性の典型的な例を示すグラフである。なお、放出電流 $I_e$ は素子電流 $I_f$ に比べて著しく小さく、同一尺度で図示するのが困難であり、また、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2本のグラフは各々任意単位で図示した。

【0102】表示装置に用いた表面伝導型素子は、放出電流 $I_e$ に関して以下に述べる3つの特性を有している。

【0103】第一に、ある電圧(これを閾値電圧 $V_{th}$ と呼ぶ)以上の大きさの電圧を素子に印加すると急激に放出電流 $I_e$ が増加するが、一方、閾値電圧 $V_{th}$ 未満の電圧では放出電流 $I_e$ はほとんど検出されない。即ち、放出電流 $I_e$ に関して、明確な閾値電圧 $V_{th}$ を持った非線形素子である。

【0104】第二に、放出電流 $I_e$ は素子に印加する電圧 $V_f$ に依存して変化するため、電圧 $V_f$ で放出電流 $I_e$ の大きさを制御できる。

【0105】第三に、素子に印加する電圧 $V_f$ に対して素子から放出される電流 $I_e$ の応答速度が速いため、電圧 $V_f$ を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【0106】以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができる。例えば多数の該素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。即ち、駆動中の素子には所望の発光輝度に応じて閾値電圧 $V_{th}$ 以

上の電圧を適宜印加し、非選択状態の素子には閾値電圧 $V_{th}$ 未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

【0107】また、第二の特性或いは第三の特性を利用することにより、発光輝度を制御することができるため、諧調表示を行うことが可能である。

【0108】次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子ビーム源の構造について述べる。

【0109】図28は、図20に示す表示パネルに用いたマルチ電子ビーム源の平面図である。基板上には、図21において示したものと同様の表面伝導型放出素子が配列され、これらの素子は行方向配線電極1003と列方向配線電極1004により単純マトリクス状に配線されている。行方向配線電極1003と列方向配線電極1004の交差する部分には、電極間に絶縁層(不図示)が形成されており、電気的な絶縁が保たれている。

【0110】図28のA-A'に沿った断面を、図29に示す。なお、このような構造のマルチ電子源は、予め基板上に行方向配線電極1003、列方向配線電極1004、電極間絶縁層(不図示)、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極1003および列方向配線電極1004を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

【0111】次に、本実施形態に係るフェースプレートの蛍光膜について説明する。

【0112】図11は、表面伝導型放出素子から放出された電子の軌跡を示す図である。図中、1020は電子放出部1105に素子電極1102および1103を介して電圧を印加することにより放出する電子軌道を示している。図示のように電子軌道1020は、素子電極1102および1103に印加される電圧によって形成される電場の影響を受けて偏向を生じ、電圧印加方向(即ち、X方向)に非対称な発光1030が得られる。また、発光1030における輝度は一様にならず、電子軌道が偏向する方向の輝度が高くなる。

【0113】図12は、本実施形態に係る画像形成装置のフェースプレート1007上の蛍光膜1008(図20参照)の配置を示す図である。蛍光膜1008の所定部分にはCRT等において用いられる赤、緑、青の3原色の蛍光体1008R、G、Bの蛍光体をマトリクス状に配置し、各蛍光体の間には黑色導電体1010を塗布した。

【0114】黑色導電体1010を設ける理由は、外光の反射を防止して表示コントラストの低下を防ぐこと、電子ビームによる蛍光膜のチャージアップを防止することなどである。黑色導電体1010には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ

以外の材料を用いても良い。

【0115】各画素サイズは、素子電圧印加方向（x方向、素子の負極から正極に向かう向きを正とする）に垂直な方向（y方向）のピッチWgが720（ $\mu\text{m}$ ）、素子電圧印加方向（x方向）ピッチLgが300（ $\mu\text{m}$ ）である。

【0116】画像形成装置の表面伝導型放出素子1002（電子放出部1105）から放出された電子は、メタルバック1009に印加される高電圧Vaにより、フェースプレート1007に引き出され、蛍光膜1008に衝突する。この時、高電圧Vaと、衝突する電子の照射密度によって輝度が決まり、その発光形状は図6に示すようになる。図中、1031は最大輝度の80～100%の輝度の領域、1032は最大輝度の60～80%の輝度の領域、1033は最大輝度の40～60%の輝度の領域、1034は最大輝度の20～40%の輝度の領域、1035は最大輝度の0～20%の領域を示している。図7は、図6のA-A'における輝度の分布を示すグラフである。

【0117】従来、画素（蛍光体）のサイズは、図8に示すように、電子が蛍光膜1008に衝突する領域（領域1035に囲まれる領域）と黒色導電体1010が干渉しないような大きさに設計されている。しかし、本実施形態においては、輝度の低い領域（例えば、領域1035）の一部が黒色導電体1010により隠れるように黒色導電体1010を配置する。

【0118】図9は、本実施形態に係る画素の配置を示す図である。本実施形態においては、黒色導電体1010によって隠れる発光領域は、最大輝度の約15%以下の輝度の領域とした。係る領域に黒色導電体1010を配置することにより、画素のピッチ（x方向）を縮めることができる。

【0119】図10の（a）は、従来の蛍光膜の配置における各蛍光体上の輝度を示すグラフ、図10の（b）は、本実施形態に係る蛍光膜1008の配置における各蛍光体上の輝度を示すグラフである。前述のように、従来の蛍光膜においては、発光領域の全体を含む大きさの画素（蛍光体）を用い、結果として輝度の低い領域にも蛍光体を配置し、それ以外の領域に黒色導電体の領域を設けていたため、画面全体の輝度を向上させる妨げになっており、また、高精細化の妨げにもなっていた。

【0120】これに対して本実施形態に係る（b）においては、輝度の低い領域（最大輝度の15%以下の輝度の領域）に黒色導電体を配置しているため、画素のピッチを小さくすることにより高精細化を実現すると共に輝度を向上させることができる。具体的には、輝度が最大輝度の15%以上の領域に蛍光体を配置し、それ以外の領域（輝度が15%未満の領域）を含むように黒色導電体を配置することにより、画素のピッチを従来の約70%に縮小することができる。従って、素子電圧印加方

向（x方向、素子の負極から正極に向かう向きを正とする）の高精細化（従来の140%）を実現することができる。

【0121】また、輝度の高い領域に蛍光体を配置して画素のピッチを縮小することによって単位面積当りの輝度を向上させることができ、本実施形態においては、従来の約1.2倍以上の輝度を得ることができる。従って、同サイズの画像形成装置において、画面全体の輝度を向上させることができる。

【0122】なお、本実施形態においては、画素を長方形にしたが、図13のようなストライプ状の配列の画素とすることも可能である。図において、100は発光領域、101はそのなかで高輝度な領域である。この場合、素子の電圧印加方向と、蛍光体のライン方向を直行させ、電圧印加方向の直行方向の画素のピッチを小さくすることができる。

【0123】また、本実施形態においては、最大輝度の15%以上の領域を輝度の高い領域として画素を配置したが、本発明はこれに限定されるものではなく、発光形状やその輝度の分布等に応じて本発明の意図に沿うように適切な値を選択すれば良い。なお、本実施形態若しくはこれに類する発光形状および輝度の分布の場合、最大輝度の10乃至30%以上を輝度の高い部分として画素を配置することが好ましい。

【0124】〔第2の実施形態〕第1の実施形態は、輝度の低い領域に黒色導電体等を配置することにより、画素のピッチを縮小し輝度の向上および高精細化を実現するものであったが、本実施形態は、輝度の低い領域に隣接する画素を構成する輝度の高い領域を重ねるものである。

【0125】図14は、本実施形態に係る蛍光膜1008の配置を示す図である。蛍光膜1008に用いる蛍光体、黒色導電体などの材質は第1実施形態に用いたものと同様である。本実施形態においては、蛍光体1008R、G、Bをストライプ状に塗布し、黒色導電体1010は異なる色の蛍光体間にのみ塗布した。ストライプの向きは表面伝導型放出素子の電圧印加方向と同一である。図において100は発光領域、101は発光領域における最大輝度の15%以上の領域である。

【0126】画素サイズは、素子電圧印加方向（x方向、素子の負極から正極に向かう向きを正とする）に垂直方向のピッチWgが720〔 $\mu\text{m}$ 〕、素子電圧印加方向のピッチLgが260〔 $\mu\text{m}$ 〕である。

【0127】従来、ストライプ状の蛍光体をもつ画像形成装置においては、図15に示すように、一つの表面伝導型放出素子による発光領域と隣接する素子の発光領域が干渉しないような間隔に表面伝導型放出素子を配置する。しかし、本発明においては、一つの素子の発光領域の輝度の低い領域に、隣接する素子の発光領域の輝度の高い領域が重なるように素子を配置する。

【0128】具体的には、最大輝度の約15%以下の輝度の領域を、隣接する発光領域の輝度の高い領域(85%以上)に重ねる構成とした。なお、このような重ね合わせは、素子間の距離を素子電圧印加方向に縮めることによって行う。

【0129】輝度が最大輝度の15%以上の領域同士が重ならない程度に素子間隔を狭くする場合には、画素のピッチを従来より約30%小さくすることができ、高精細化を実現することができる。

【0130】また、従来は発光領域の中に輝度の低い領域が存在し、これが輝度の向上を妨げる要因になっていたが、本実施形態においては輝度の低い部分(約15%以下の輝度の領域)に、隣接する画素の輝度の高い領域を配置することにより、実質的に低輝度の領域が減少し、全体の輝度を向上することができる。本実施形態の場合、従来の1.2倍の輝度を得ることができる。

【0131】なお、図16に示すような発光部の配列も可能である。これは、例えば、前記電圧印加方向と垂直な方向(y方向)の素子のピッチを従来の50%、前記電圧印加方向(x方向)の素子のピッチを70%にし、素子の印加電圧を行毎に逆にすることによって実現することができる。この場合、従来の200%以上の輝度を得ることができる。

【0132】また、本実施形態においては、最大輝度の15%以上の領域を輝度の高い領域として画素を配置したが、本発明はこれに限定されるものではなく、発光形状やその輝度の分布等に応じて本発明の意図に沿うように適切な値を選択すれば良い。なお、本実施形態若しくはこれに類する発光形状および輝度の分布の場合、最大輝度の10乃至30%以上を輝度の高い部分として画素を配置することが好ましい。

【0133】[第3の実施形態] 本実施形態は、画素の形状を発光形状に適合させることによって高精細化および輝度向上を図るものである。なお、蛍光膜に用いる蛍光体、黒色導電体などの材質は第1実施形態に用いたものと同様である。

【0134】図17は、本実施形態に係る蛍光膜1008の配置を示す図である。本実施形態においては、蛍光体1008R、G、Bの画素をマトリクス状に塗布し、各蛍光体の色の配列はストライプにしている。また、黒色導電体1010を第1の実施形態と同様に画素(蛍光体)間に塗布している。

【0135】本実施形態に係る画素の形状は表面伝導型放出素子の電圧印加方向(負電極側から正電極側の向き、即ち素子電極1103から1102の向き)に凸状をなす曲線(例えば、円の一部)で構成されている。図17において、100は電子ビームによる発光領域、101はその発光領域における最大輝度の15%以上の輝度の領域である。各画素は、前記素子電圧印加方向(x方向)に垂直な方向のピッチWgが720( $\mu\text{m}$ )、素

子電圧印加方向のピッチLgが280( $\mu\text{m}$ )、凸をなす曲線の半径はP=900( $\mu\text{m}$ )である。

【0136】表面伝導型放出素子から放出された電子は、メタルバック1009に印加される高電圧Vaにより、フェースプレート1007に引き出され、蛍光膜1008に衝突する。そのときの発光形状と画素形状の関係は図18に示すようになる。なお、各符号の意味は前述の通りである。最大輝度の20%以上の輝度を有する領域1034は、三ヶ月形の形状を有しており、本実施形態に係る蛍光体は、当該形状に近い曲線をもって構成されている。

【0137】従来、画素(蛍光体)のサイズは、電子が蛍光膜に衝突する領域と黒色導電体が干渉しないような大きさに設計されていて、かつ長方形の画素形状がとられていた。

【0138】しかし、本実施形態においては、第1の実施形態と同様に、輝度の低い領域が黒色導電体1010に隠れるように黒色導電体1010を配置する。なお、本実施形態においては、この隠れる領域は、輝度が最大輝度の20%以下の領域とし、また、画素形状を発光形状(領域1034)に近い形状とした。このような形状の蛍光体とすることにより、黒色導電体1010を従来の位置より約40%内側に配置することができる。

【0139】即ち、素子電圧印加方向に対して、最大輝度の20%以下の輝度の領域に黒色導電体を配置することにより、画素のピッチを従来の約60%にまで縮小することができる。結果として、素子電圧印加方向の高精細化(従来の160%)を実現することができる。

【0140】また、輝度の低い部分(最大輝度の20%以下の輝度の領域)に黒色導電体1010を配置し、輝度の低い領域を使用しないことによって各画素は小さくなるが、各画素中の平均輝度を向上させることができる。従って、同サイズの画像形成装置の場合、単位面積当たりの各画素の輝度の向上に加えて、画素数の増加により画面全体の輝度を向上することができる。本実施形態の場合、従来の1.4倍に輝度が向上する。

【0141】なお、本実施形態においては、画素を滑らかな曲線を用いて構成したが本発明はこれに限定されるものではない。例えば、輝度の高い領域に干渉せず、かつ、輝度の低い領域をカットして画素のピッチを縮小することにより、高精細化および輝度の向上を実現することができるのであれば、図19に示すように、素子電圧印加方向に凸をなす折れ線を用いた形状の画素でも良い。

【0142】また、本実施形態においては、最大輝度の20%以上の領域を輝度の高い領域として画素を配置したが、本発明はこれに限定されるものではなく、発光形状やその輝度の分布等に応じて本発明の意図に沿うように適切な値を選択すれば良い。なお、本実施形態若しくはこれに類する発光形状および輝度の分布の場合、最大

輝度の 10 乃至 30 % 以上を輝度の高い部分として画素を配置することが好ましい。

【0143】また、上記の実施形態においては、各色の画素をストライプ状の配列としたが、本発明は、これに限定されるものではないことは言うまでもない。

【0144】また、上記の第 1 ～ 第 3 の実施の形態では、電界放出素子として表面伝導型電子放出素子を用いた例を示したが、本発明はこれに限定されるものではなく、例えば、図 30 (1)、(2)、(3) に示すような横型電界放出素子を用いた場合にもきわめて効果的である。同図において、1301 は素子電極（負極）、1302 は素子電極（正極）、1303 は電子放出部、1304 は素子基板である。

【0145】なお、本発明は、複数の機器から構成されるシステムに適用しても、1 つの機器から成る装置に適用しても良い。

【0146】

【発明の効果】以上説明したように本発明によれば、電子線の衝突により画像を形成する画像形成装置において、画像の輝度の向上或いは高精細化を実現することができる。

【0147】

【図面の簡単な説明】

【図 1】従来の表面伝導型放出素子の構成を説明する図である。

【図 2】従来の FE 型の電子放出素子の構成を説明する図である。

【図 3】従来の MIM 型の電子放出素子の構成を説明する図である。

【図 4】マルチ電子ビーム源の電気的な構成を説明する図である。

【図 5】従来の画素を説明する図である。

【図 6】発光膜における発光形状およびその輝度を示す図である。

【図 7】輝度の分布を示す図である。

【図 8】従来の画素を示す図である。

【図 9】第 1 の実施形態に係る画素の配置を説明する図である。

【図 10】蛍光体上の輝度の分布を説明する図である。

【図 11】表面伝導型放出素子から放出された電子の軌跡を示す図である。

【図 12】第 1 の実施形態に係る蛍光膜の配置を示す図である。

【図 13】第 1 の実施形態の応用例を示す図である。

【図 14】第 2 の実施形態に係る蛍光膜の配置を示す図である。

【図 15】従来のストライプ状の蛍光膜の配置を示す図である。

【図 16】第 2 の実施形態の応用例を示す図である。

【図 17】第 3 の実施形態に係る蛍光膜の配置を示す図

である。

【図 18】第 3 の実施形態に係る画素の形状と発光形状の関係を示す図である。

【図 19】第 3 の実施形態に係る蛍光膜の配置を示す図である。

【図 20】実施形態に係る表示パネルの斜視図である。

【図 21】平面型の表面伝導型放出素子の構造を示す図である。

【図 22】表面伝導型放出素子の製造工程を説明するための断面図である。

【図 23】通電フォーミング処理の際の印加電圧波形を示す図である。

【図 24】通電活性化処理の際の印加電圧波形 (a) および放出電流  $I_e$  の変化 (b) を示す図である。

【図 25】垂直型の表面伝導型放出素子の断面図である。

【図 26】垂直型の表面伝導型放出素子の製造工程を説明するための断面図である。

【図 27】表面伝導型放出素子の典型的な特性を示すグラフである。

【図 28】マルチ電子ビーム源の平面図である。

【図 29】マルチ電子ビーム源の基板の一部の断面図である。

【図 30】本発明の一実施形態に係る横型電界放出素子の構造を示す図である。

【符号の説明】

3001, 3010, 3020 素子基板

3004 導電性薄膜

3011 エミッタ配線

3012 エミッタコーン

3013 絶縁層

3023 上電極

4001 冷陰極素子

4002 行方向配線

4003 列方向配線

4004, 4005 配線抵抗

100 発光領域

101 最大輝度の 15 % 以上の輝度の領域

1031 最大輝度の 80 ～ 100 % の輝度の領域

1032 最大輝度の 60 ～ 80 % の輝度の領域

1033 最大輝度の 40 ～ 60 % の輝度の領域

1034 最大輝度の 20 ～ 40 % の輝度の領域

1035 最大輝度の 0 ～ 20 % の輝度の領域

1010 黒色導電体

1030 発光

1001, 1101, 1201 素子基板

1003 行方向配線

1004 列方向配線

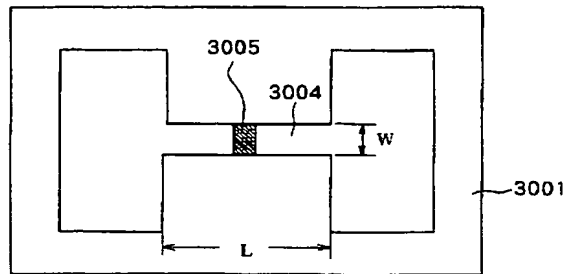
1102, 1103, 1202, 1203 素子電極

1104, 1204 導電性薄膜

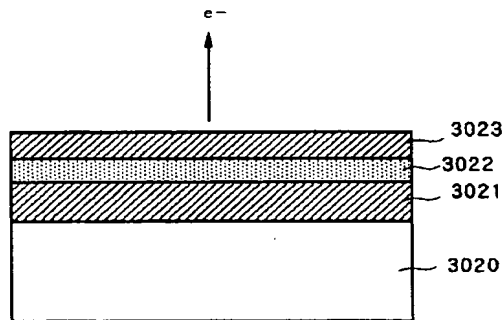
23

1105, 1205 通電フォーミング処理により形成した電子放出部  
 1113, 1213 通電活性化処理により形成した薄膜  
 1114 アノード電極  
 1115 直流高电压電源

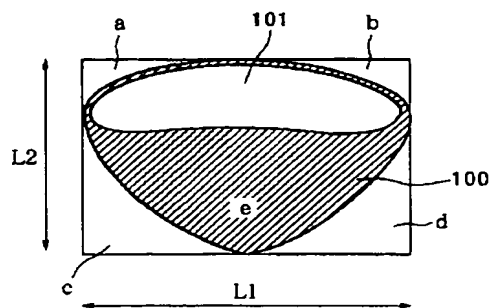
【図 1】



【図 3】



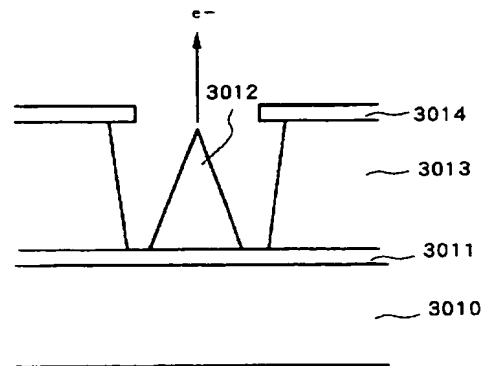
【図 5】



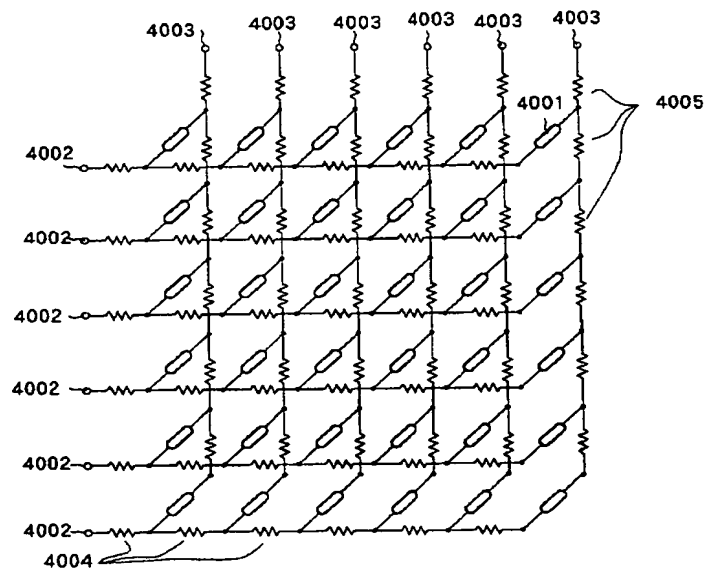
24

1116 電流計  
 1206 段差形成部材  
 1031 素子電極 (負極)  
 1302 素子電極 (正極)  
 1303 電子放出部  
 1304 素子基板

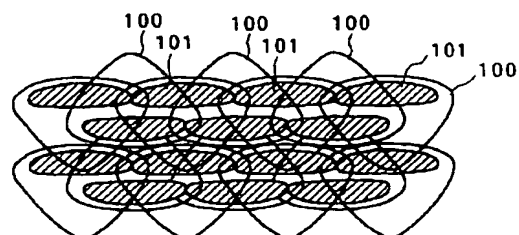
【図 2】



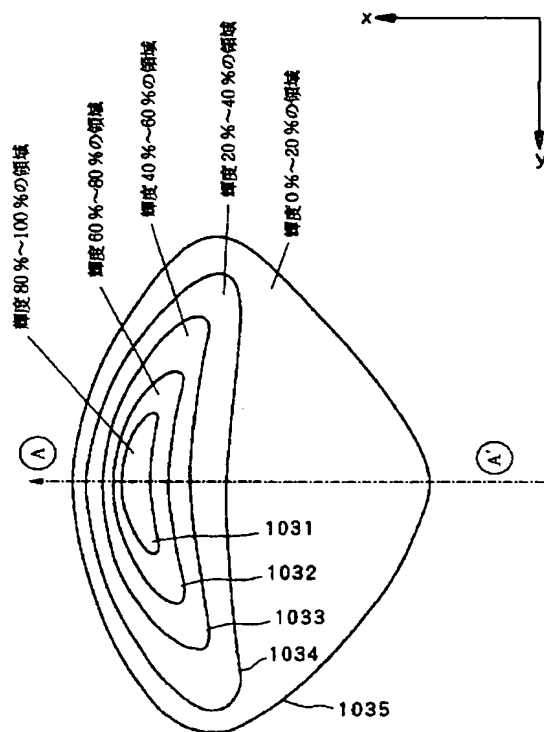
【図 4】



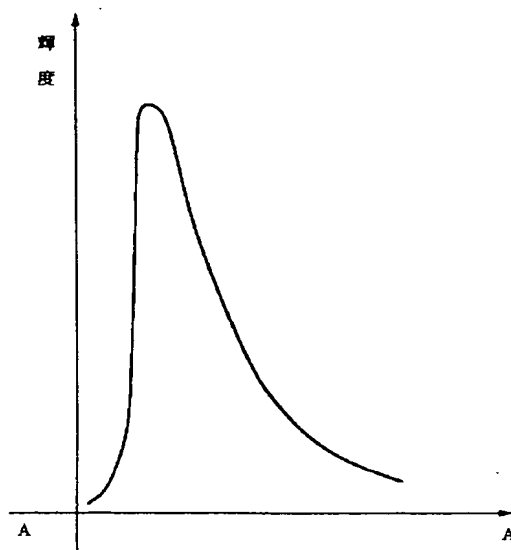
【図 16】



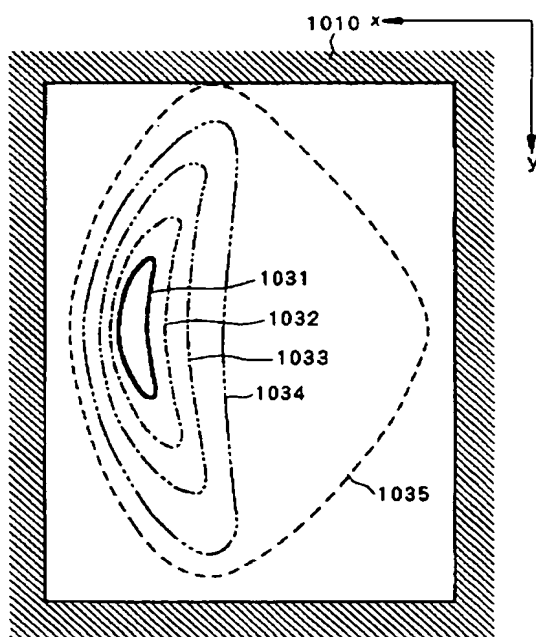
【図 6】



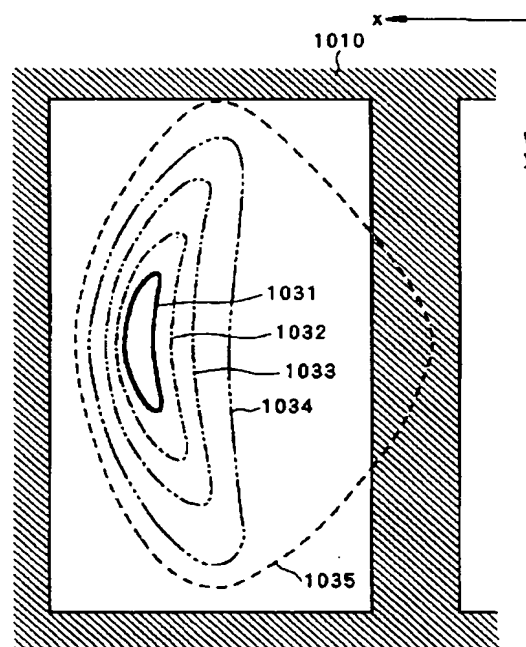
【図 7】



【図 8】

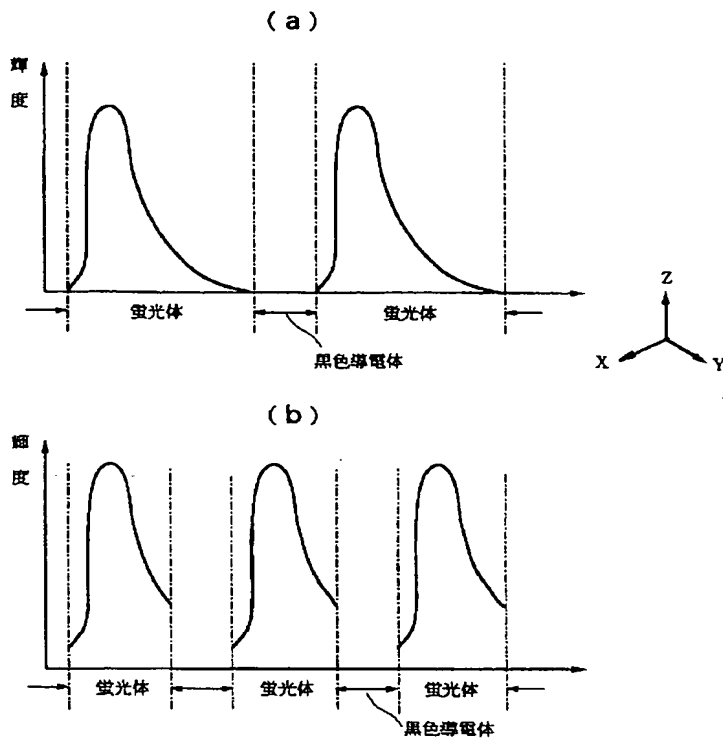


【図 9】

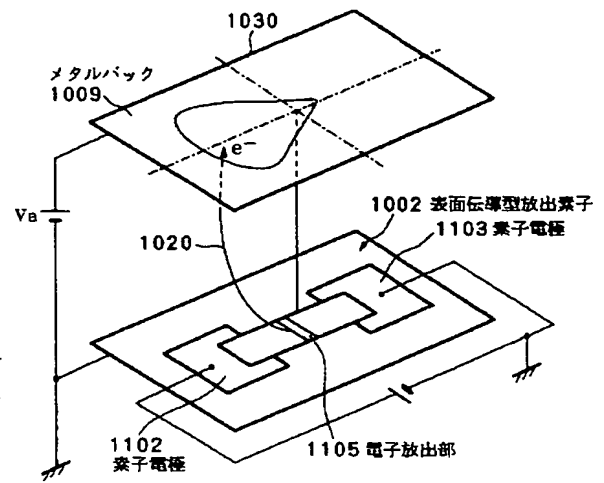




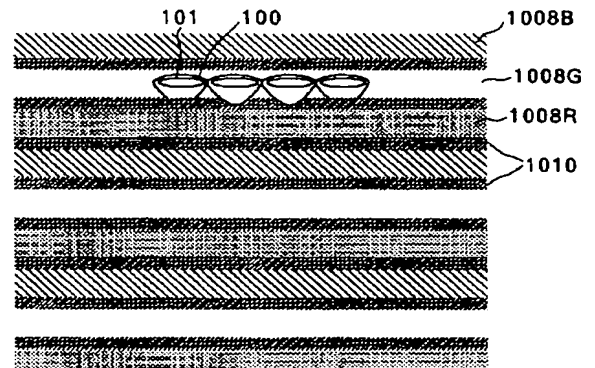
【図 10】



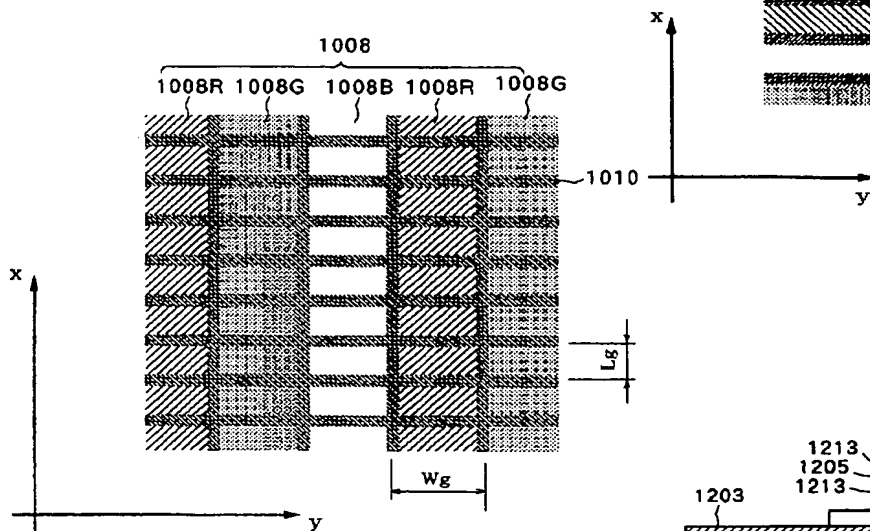
【図 11】



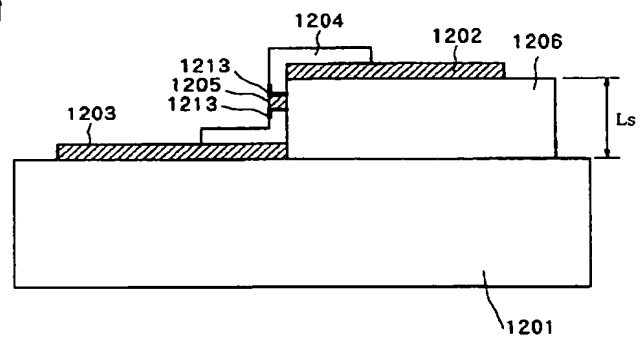
【図 13】



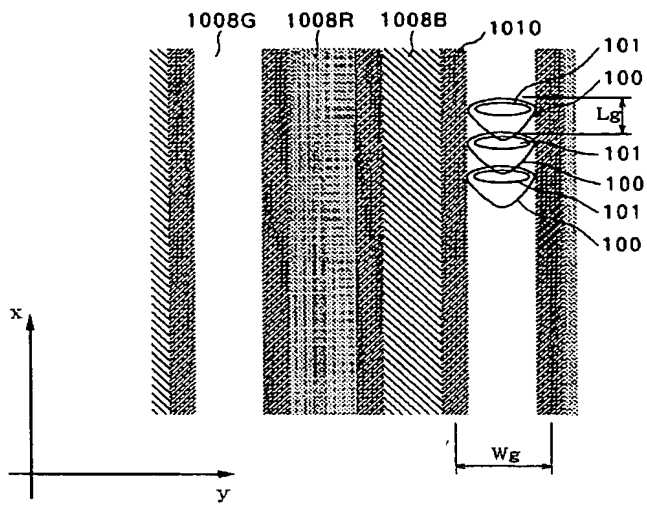
【図 12】



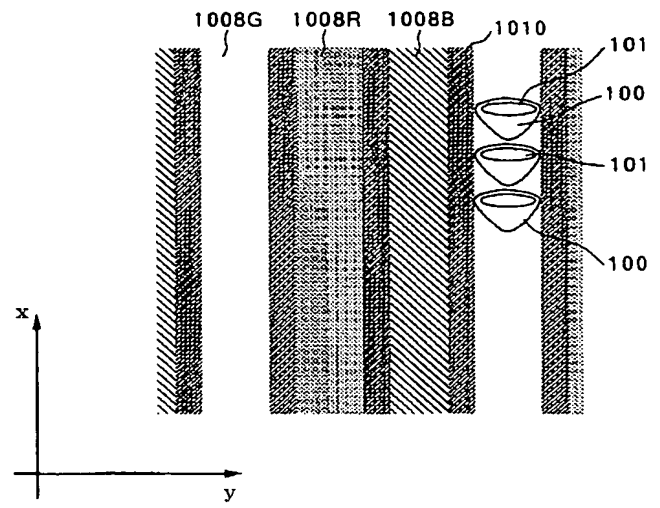
【図 25】



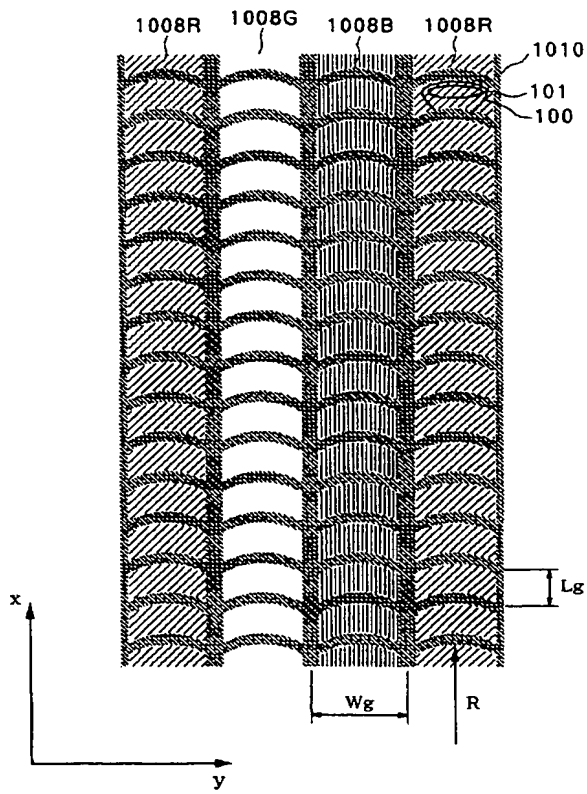
【図14】



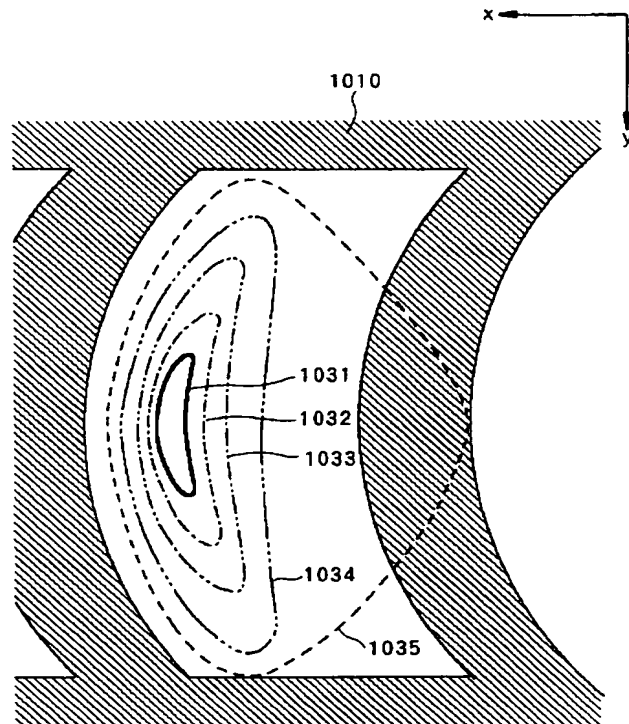
【図15】



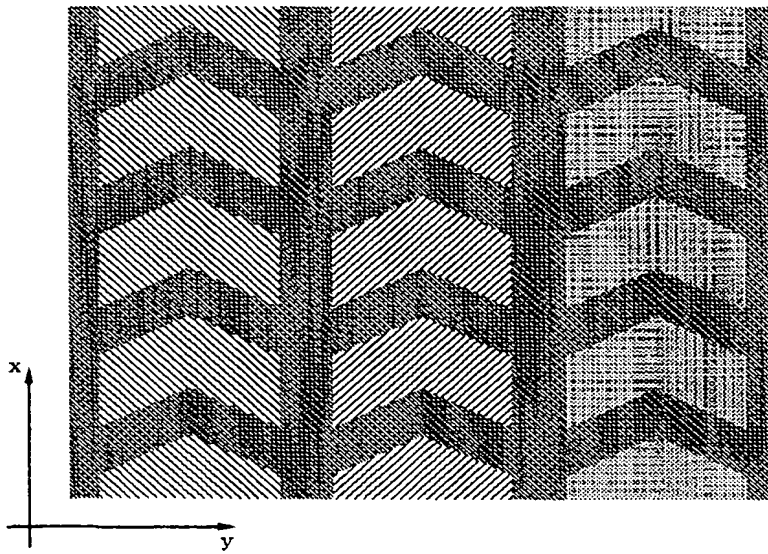
【図17】



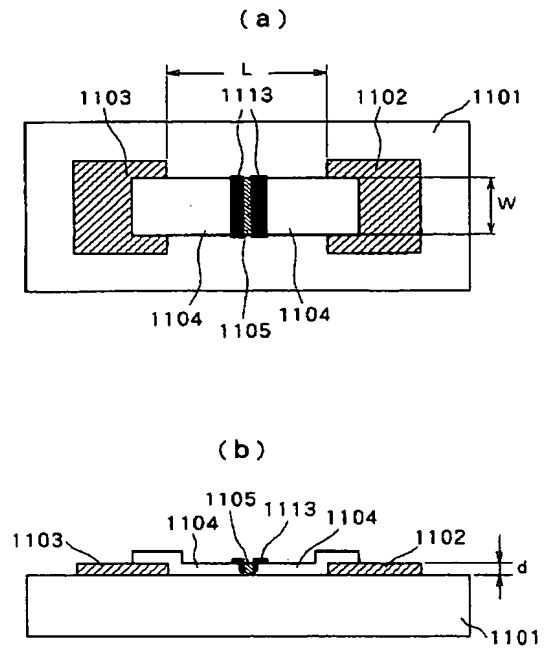
【図18】



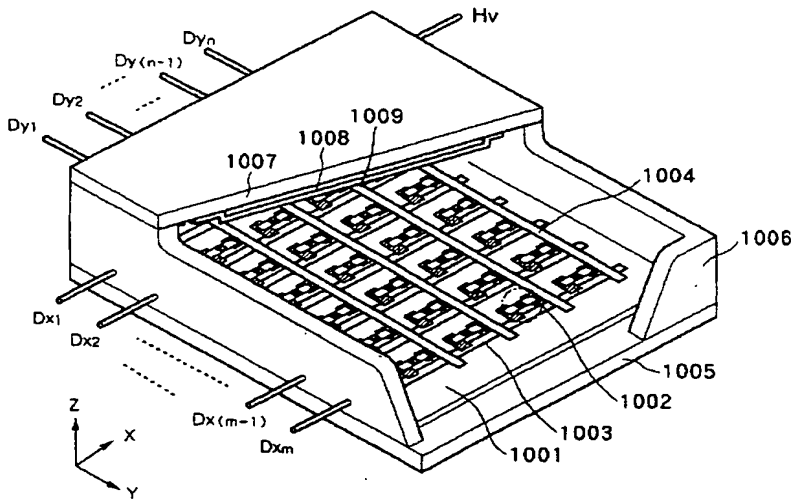
【図19】



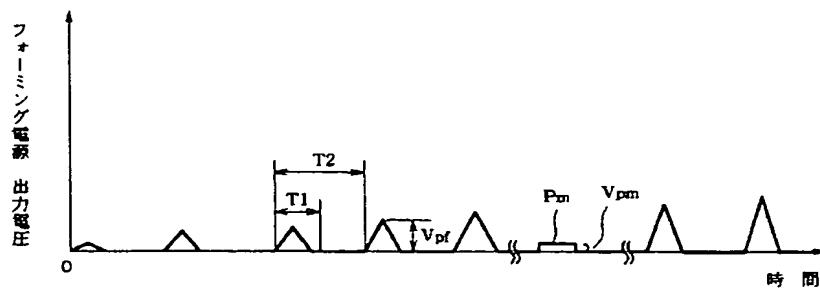
【図21】



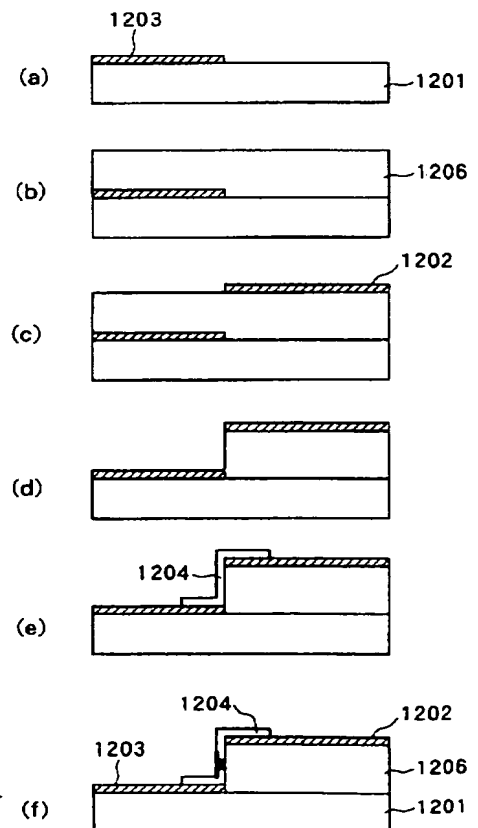
【図20】



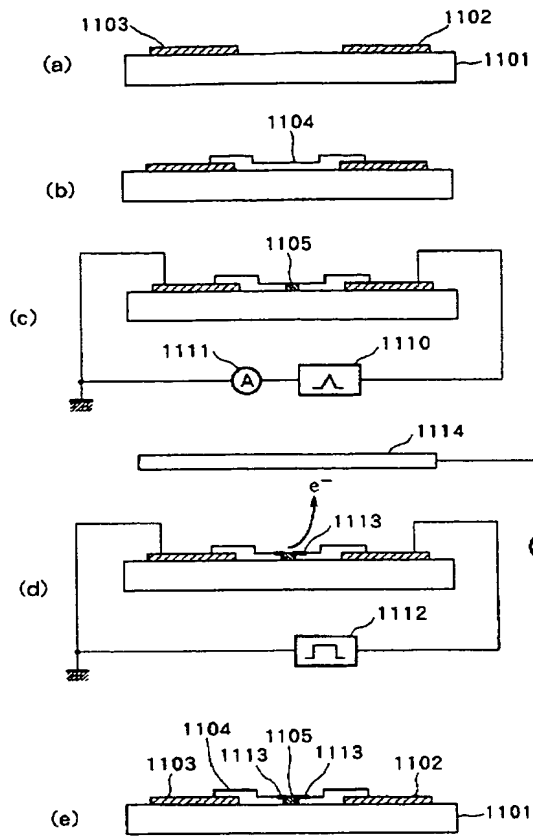
【図23】



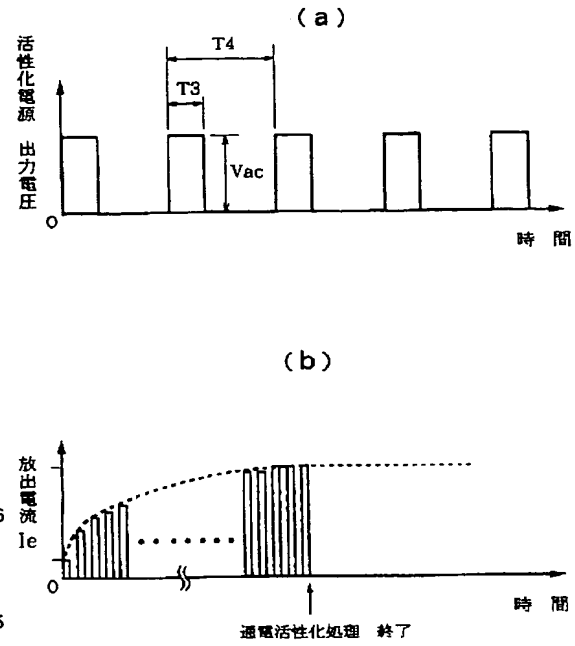
【図26】



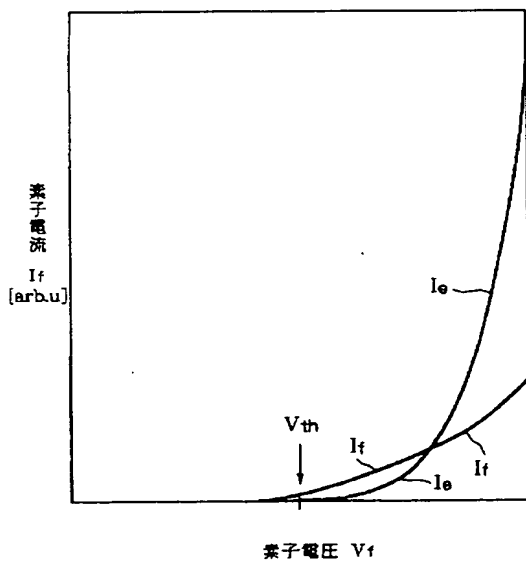
【図22】



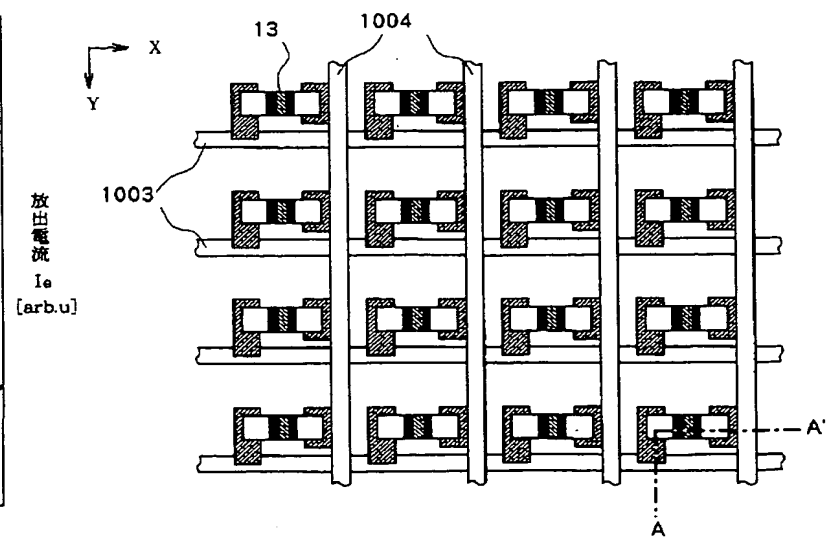
【図24】



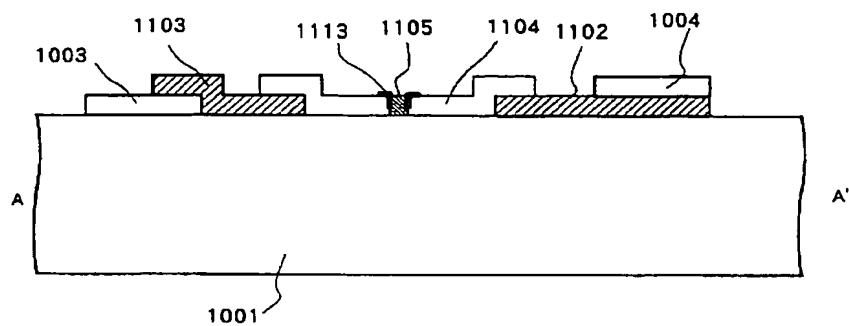
【図27】



【図28】



【図 2 9】



【図 3 0】

